パワー半導体向け高速駆動回路の研究

キーワード　パワー半導体／高周波動作／駆動回路／電力変換器／低損失化

研究概要

パワエレ機器の小型化にはパワー半導体を高周波で駆動することが有効であるが、高周波駆動はスイッチング損失の増大につながる。損失抑制のためにはスイッチング時間の短縮が不可欠であり、このためにはパワー半導体のゲート入力容量を急速に充電するための大電流を供給できるゲート駆動回路を実現しなければならなかった。

本研究ではGaN-HEMTを用いたSiC-MOSFET向け10MHzゲート駆動回路を開発した。試作ゲート駆動回路は、電圧出力が+15V/-5Vであり、電圧の立ち上がり時間及び立下り時間は2nsである。最大出力電流は10Aであり、1.2kV/100A級のSiC-MOSFETを駆動可能である。

図1、2はゲート駆動回路のブロック図及び試作回路を示している。
図3はゲート電圧波形であり、立上り/立下り時間は2ns以下である。また、25-70%の範囲でデューティーを制御できることを示している。

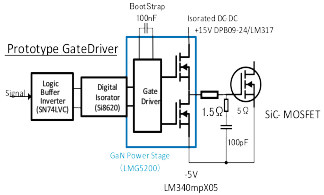

図1　SiC-MOSFET向けゲート駆動回路概略回路図

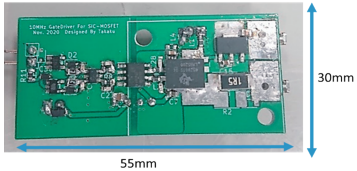

図2　試作ゲート駆動回路

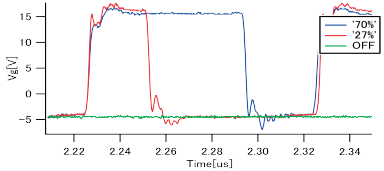

図3　ゲート電圧波形

今後の展開やメッセージ

今後は、開発した駆動回路を昇圧チョッパー回路に適用して10MHzスイッチング時の効率改善効果を検証する。また、共振回路と組み合わせることにより高速ゲート駆動回路の損失低減を試みる。電力変換器の小型化にご興味のある方は、お気軽にお問い合わせください。

研究者情報

中田 修平 教授・工学博士
工学部　電気電子工学科
所属研究所：電気・光・エネルギー応用研究センター

研究者情報URL
https://www.kanazawa-it.ac.jp/kyouinroku/a/BHAAF.html
https://researchmap.jp/7000020502