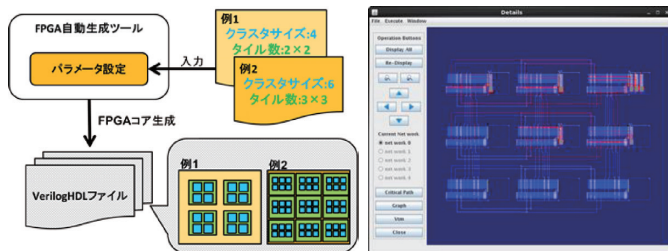


研究概要

オリジナルFPGAコアとCADの開発

FPGA(Field-Programmable Gate Array)は任意の論理機能を開発現場でハードウェアとして実現できることから、LSIの試作、航空宇宙分野、家電製品など多岐にわたり利用されている。本研究ではこのFPGAをハードウェア記述言語(HDL)で設計し、それをSoC等の一般的なLSIの一部として利用する環境を整備する。これにより一般的なLSIの柔軟性の向上を狙う。

本研究ではオリジナルFPGAコアの自動生成ツールを開発する。自動生成ツールは実装したい回路規模をパラメータとして設定するだけで、それを実現するオリジナルFPGAコアのHDLコードを生成する。また、同時に生成されたFPGAコア用CADも開発する。これまでに予備評価として市販のFPGA上にオリジナルFPGAコアを実装し論理検証を終えている。



左図はFPGAコア自動生成ツールの概要である。回路規模を示すパラメータを設定することで、VerilogHDLファイルが生成される。右図は生成されたFPGA用のCADである。生成したFPGA上に4ビットカウンタをマップした結果を示している。

今後の展開やメッセージ

今後は、FPGAコア自動生成ツールでさらに多くの設計パラメータを扱えるように改良し、より大規模なFPGAも生成できるように研究を進めます。また、応用として回路設計入門用に、より簡単に使えるFPGAの開発も考えています。ご興味のある方はお気軽にご連絡下さい。

研究者情報



河並 崇 准教授・博士(工学)

工学部 情報工学科

所属研究所：情報技術研究所

金沢工業大学工学部情報工学科卒。同大学大学院工学研究科博士課程(情報工学専攻)修了。(独)産業技術総合研究所エレクトロニクス研究部門エレクトロインフォマティクスグループ研究員を経て、2009年本学講師就任。2016年准教授。

研究者情報URL

<http://kitnet10.kanazawa-it.ac.jp/researcherdb/researcher/RAIBCH.html>

Keyword

組込みシステム / FPGA(やわらかいハードウェア) / 教材開発